

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351381

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

G09G 3/20

G09G 3/28

H04N 5/66

(21)Application number : 2001-161994

(71)Applicant : PIONEER ELECTRONIC CORP  
SHIZUOKA PIONEER KK

(22)Date of filing : 30.05.2001

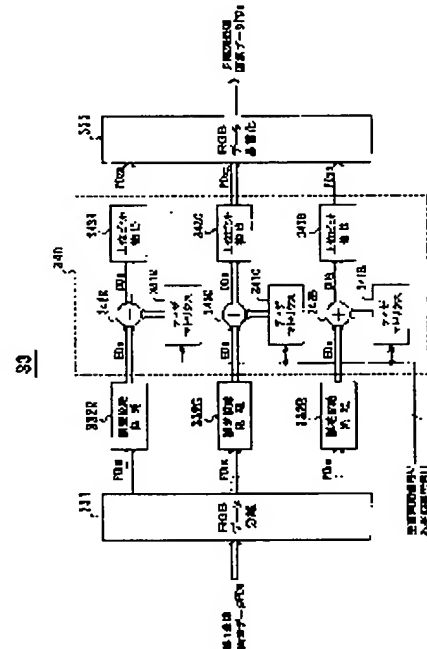
(72)Inventor : SUZUKI MASAHIRO

## (54) DISPLAY DEVICE AND DRIVING METHOD FOR DISPLAY PANEL

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device capable of displaying a satisfactory picture by suppressing a dither pattern which is generated in performing a dither processing.

SOLUTION: In this display device, the value of a dither coefficient corresponding to at least a display cell having one light emission color in a pixel is made to be different from values of dither coefficients corresponding to display cells having other light emission colors in the pixel.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-351381  
(P2002-351381A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 G 5 C 0 5 8
	6 1 2		6 1 2 U 5 C 0 8 0
	6 4 1		6 4 1 E
			6 4 1 K
3/28		H 0 4 N 5/66	1 0 1 B
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-161994(P2001-161994)

(22) 出願日 平成13年5月30日 (2001.5.30)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(71) 出願人 398050283

静岡バイオニア株式会社

静岡県袋井市鷺巣字西ノ谷15の1

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地

静岡バイオニア株式会社甲府事業所内

(74) 代理人 100079119

弁理士 藤村 元彦

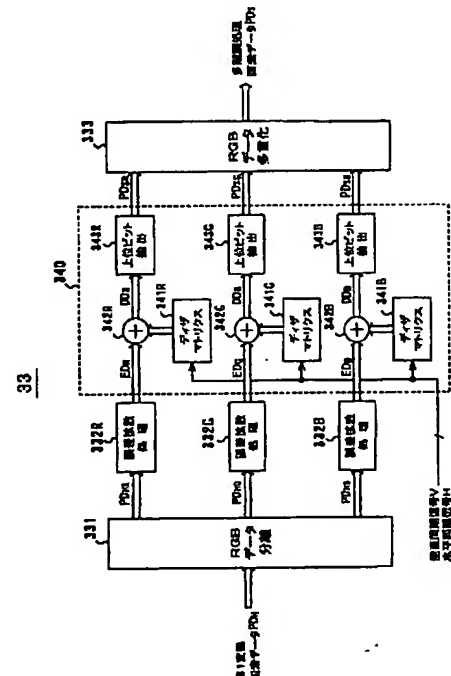
最終頁に続く

(54) 【発明の名称】 ディスプレイ装置及びディスプレイパネルの駆動方法

(57) 【要約】

【課題】 ディザ処理実行時に発生するディザパターンを抑制して良好な画像表示を行うことができるディスプレイ装置を提供することを目的とする。

【解決手段】 画素内における少なくとも1の発光色の表示セルに対応したディザ係数の値を、この画素内における他の発光色の表示セルに対応したディザ係数の値と異ならせる。



## 【特許請求の範囲】

【請求項1】 互いに発光色が異なる複数の表示セルからなる画素がマトリクス状に配列されたディスプレイ画面上に映像信号に応じた画像を表示するディスプレイ装置であって、

前記映像信号を前記表示セル各々に対応した画素データに変換する手段と、前記画素内の前記表示セル各々に対応させてディザ係数を発生するディザ係数発生手段と、前記画素データに前記ディザ係数を加算してディザ加算画素データを得る加算手段と、前記ディザ加算画素データに応じて前記表示セルを発光せしめる表示駆動手段と、を有し、

前記画素内における少なくとも1の発光色の前記表示セルに対応した前記ディザ係数の値が、前記画素内における他の発光色の前記表示セルに対応した前記ディザ係数の値とは異なることを特徴とするディスプレイ装置。

【請求項2】 前記画素内の前記表示セル各々は、赤色発光を為す赤色表示セル、緑色発光を為す緑色表示セル、及び青色発光を為す青色表示セルからなり、前記緑色表示セルに対応した前記ディザ係数の値が、前記赤色表示セル及び前記青色表示セルに対応した前記ディザ係数の値と異なることを特徴とする請求項1記載のディスプレイ装置。

【請求項3】 前記ディザ係数発生手段は、発生すべき前記ディザ係数の値を前記映像信号の1フィールド期間毎に変更することを特徴とする請求項1記載のディスプレイ装置。

【請求項4】 前記ディザ係数発生手段は、前記ディスプレイ画面上において互いに隣接するN行・M列分の前記画素からなる画素群内の各画素位置に対応させて前記ディザ係数を発生することを特徴とする請求項1記載のディスプレイ装置。

【請求項5】 互いに発光色が異なる複数の表示セルからなる画素がマトリクス状に配列されたディスプレイパネルを映像信号に応じて駆動するディスプレイパネルの駆動方法であって、

前記映像信号を前記表示セル各々に対応した画素データに変換する行程と、前記画素内の前記表示セル各々に対応させてディザ係数を発生するディザ係数発生行程と、前記画素データに前記ディザ係数を加算してディザ加算画素データを得る加算行程と、前記ディザ加算画素データに応じて前記表示セルを発光せしめる表示駆動行程と、を有し、

前記画素内における少なくとも1の発光色の前記表示セルに対応した前記ディザ係数の値が、前記画素内における他の発光色の前記表示セルに対応した前記ディザ係数の値とは異なることを特徴とするディスプレイパネルの駆動方法。

【請求項6】 前記画素内の前記表示セル各々は、赤色発光を為す赤色表示セル、緑色発光を為す緑色表示セ

ル、及び青色発光を為す青色表示セルからなり、前記緑色表示セルに対応した前記ディザ係数の値を、前記赤色表示セル及び前記青色表示セルに対応した前記ディザ係数の値とは異なることを特徴とする請求項5記載のディスプレイパネルの駆動方法。

【請求項7】 前記ディザ係数発生行程は、発生すべき前記ディザ係数の値を前記映像信号の1フィールド期間毎に変更することを特徴とする請求項5記載のディスプレイパネルの駆動方法。

10 【請求項8】 前記ディザ係数発生行程は、前記ディスプレイパネルの画面上において互いに隣接するN行・M列分の前記画素からなる画素群内の各画素位置に対応させて前記ディザ係数を発生することを特徴とする請求項5記載のディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、マトリクス状に配列された表示セルを含むディスプレイ装置に関する。

【0002】

20 【従来の技術】最近、2次元画像表示パネルとして、画素を担う複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル(以下、PDPと称する)が注目されている。PDPは、デジタル映像信号によって直接駆動され、その表現し得る輝度の階調数は、上記デジタル映像信号に基づく各画素毎の画素データのビット数によって決まる。かかるPDPを階調駆動させる方法として、1フィールドの表示期間を、複数のサブフィールドに分割して駆動するサブフィールド法が知られている。例えば、画素データが8ビットの場合には、1フィールドの表示期間を重み付けの順に、サブフィールドSF8、SF7、……、SF1なる8個のサブフィールドに分割する。各サブフィールドは、画素データに応じて各画素を点灯画素状態、又は消灯画素消灯に設定して行くアドレス期間と、上記点灯画素状態にある画素のみをそのサブフィールドの重み付けに対応した期間だけ発光させる発光維持期間を含んでいる。すなわち、サブフィールド毎に、そのサブフィールド内において放電セルを点灯させるか否かの設定が為され(アドレス期間)、点灯状態に設定された放電セルだけをそのサブフィールドに割り当てられている期間だけ発光させる(発光維持期間)のである。従って、1フィールド内では、点灯状態となるサブフィールドと、消灯状態となるサブフィールドが混在する場合が生じ、各サブフィールドで実施された発光期間の総和に対応した中間輝度が視覚されるのである。

50 【0003】PDPを採用したディスプレイ装置では、このような階調駆動にディザ処理を併用させることにより、視覚上における階調数を増加させて画質向上を図るようにしている。ディザ処理は、例えば、上下、左右に互いに隣接する4つの画素を1組とし、この1組の画素

各々に対応した画素データに、互いに異なる係数値からなる4つのディザ係数(例えば、0、1、2、3)を加算する。この際、上記4つの画素を1画素として捉えた場合、かかるディザ処理により、見かけ上の階調数が増加するのである。

【0004】しかしながら、このように画素データにディザ係数を加算すると、元の画素データとは何等関係のない疑似模様、いわゆるディザパターンが視覚される場合があり、画質を損ねてしまうという問題があった。

【0005】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、ディザパターンが抑制された良好な画像表示を行うことができるディスプレイ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明によるディスプレイ装置は、互いに発光色が異なる複数の表示セルからなる画素がマトリクス状に配列されたディスプレイ画面上に映像信号に応じた画像を表示するディスプレイ装置であって、前記映像信号を前記表示セル各々に対応した画素データに変換する手段と、前記画素内の前記表示セル各々に対応させてディザ係数を発生するディザ係数発生手段と、前記画素データに前記ディザ係数を加算してディザ加算画素データを得る加算手段と、前記ディザ加算画素データに応じて前記表示セルを発光せしめる表示駆動手段と、を有し、前記画素内における少なくとも1の発光色の前記表示セルに対応した前記ディザ係数の値が、前記画素内における他の発光色の前記表示セルに対応した前記ディザ係数の値とは異なる。

【0007】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図1は、本発明によるディスプレイ装置の概略構成を示す図である。尚、図1に示すディスプレイ装置は、表示デバイスとしてプラズマディスプレイパネルを搭載したプラズマディスプレイ装置である。このディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、駆動部(同期検出回路1、駆動制御回路2、A/D変換器4、データ変換回路30、メモリ5、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8)とから構成される。

【0008】PDP10は、アドレス電極としての列電極 $D_1 \sim D_n$ と、これら列電極と直交して配列されている行電極 $X_1 \sim X_m$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP10では、これら行電極 $X$ 及び行電極 $Y$ の一对にて1行分に対応した行電極を形成している。列電極 $D_1 \sim D_n$ は、赤色発光駆動を担う列電極 $D_1$ 、 $D_4$ 、 $D_7$ 、 $\dots$ 、 $D_{n-3}$ と、緑色発光駆動を担う列電極 $D_2$ 、 $D_5$ 、 $D_8$ 、 $\dots$ 、 $D_{n-2}$ と、青色発光駆動を担う列電極 $D_3$ 、 $D_6$ 、 $D_9$ 、 $\dots$ 、 $D_n$ と、に区分される。赤色発光駆動を担う列電極 $D_1$ 、 $D_4$ 、 $D_7$ 、 $\dots$ 、 $D_{n-3}$ 各々と、行電極 $X$ 及

び $Y$ との各交差部には、赤色で放電発光する赤色放電セルが形成されている。又、緑色発光駆動を担う列電極 $D_2$ 、 $D_5$ 、 $D_8$ 、 $\dots$ 、 $D_{n-2}$ と、行電極 $X$ 及び $Y$ との各交差部には、緑色で放電発光する緑色放電セルが形成されている。更に、青色発光駆動を担う列電極 $D_3$ 、 $D_6$ 、 $D_9$ 、 $\dots$ 、 $D_n$ と、行電極 $X$ 及び $Y$ との各交差部には、青色で放電発光する青色放電セルが形成されている。この際、表示ライン方向において互いに隣接している3つの放電セル、つまり、赤色放電セル、緑色放電セル、及び青色放電セルにて1画素を形成している。

【0009】同期検出回路1は、アナログの映像信号中から垂直同期信号を検出したときに垂直同期信号 $V$ を発生する。更に、同期検出回路1は、かかる映像信号中から水平同期信号を検出した場合には水平同期信号 $H$ を発生する。同期検出回路1は、これら垂直同期信号 $V$ 及び水平同期信号 $H$ の各々を、駆動制御回路2及びデータ変換回路30に供給する。A/D変換器4は、駆動制御回路2から供給されたクロック信号に応じて上記映像信号をサンプリングし、これを各画素毎の例えば8ビットの画素データ $PD$ に変換してデータ変換回路30に供給する。

【0010】図2は、かかるデータ変換回路30の内部構成を示す図である。図2に示されるように、データ変換回路30は、ABL(自動輝度制御)回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。ABL回路31は、PDP10の画面上に表示される画像の平均輝度が適切な輝度範囲内に収まるように、A/D変換器4から順次供給されてくる各画素毎の画素データ $PD$ に対して輝度レベルの調整を行い、この際得られた輝度調整画素データ $PD_{a1}$ を第1データ変換回路32に供給する。

【0011】図3は、かかるABL回路31の内部構成を示す図である。図3において、レベル調整回路310は、後述する平均輝度検出回路311にて求められた平均輝度に応じて画素データ $PD$ のレベルを調整して得られた輝度調整画素データ $PD_{a1}$ を出力する。データ変換回路312は、かかる輝度調整画素データ $PD_{a1}$ を図4に示されるが如き非線形特性からなる逆ガンマ特性( $Y=X^{1/\gamma}$ )に変換したものを逆ガンマ変換画素データ $PD_r$ として平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データ $PD_{a1}$ に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データ $PD_r$ )を復元するのである。平均輝度検出回路311は、かかる逆ガンマ変換画素データ $PD_r$ の平均輝度を求め、その平均輝度を示す平均輝度情報を上記レベル調整回路310に供給する。レベル調整回路310は、かかる平均輝度情報に応じて画素データ $PD$ のレベルを調整したものを上記輝度調整画素データ $PD_{a1}$ として上記データ変換回路312、及び次段の第1データ変換回路3

2に供給するのである。第1データ変換回路32は、上記輝度調整画素データ $P D_{11}$ を図5に示されるが如き変換特性に基づいて"0"～"384"までの9ビットの第1変換画素データ $P D_{11}$ に変換し、これを多階調化処理回路33に供給する。かかる第1データ変換回路32により、後述する多階調化処理回路33での表示階調数、多階調化による圧縮ビット数に合わせたデータ変換が為される。つまり、多階調化処理回路33の多階調化処理による輝度飽和、並びに表示階調がビット境界にない場合に生じる表示特性の平坦部の発生（すなわち、階調歪みの発生）を防止する。

【0012】多階調化処理回路33は、上記9ビットの第1変換画素データ $P D_{11}$ に対して誤差拡散処理及びディザ処理（後述する）を施すことにより、現階調数を維持しつつもそのビット数を4ビットに削減した多階調化処理画素データ $P D_5$ を生成する。尚、これら誤差拡散処理及びディザ処理については後述する。第2データ変換回路34は、上記4ビットの多階調化処理画素データ $P D_5$ を図6に示されるが如き変換テーブルに従って第1～第12ビットからなる画素駆動データ $G D$ に変換する。尚、これら第1～第12ビットの各々は、後述するサブフィールド $S F 1 \sim S F 12$ 各々に対応したものである。

【0013】このように、上記多階調化処理回路33及び第2データ変換回路34によれば、8ビットで256階調を表現し得る画素データ $P D$ は、図6に示されるが如き全部で13パターンからなる12ビットの画素駆動データ $G D$ に変換される。メモリ5は、駆動制御回路2から供給されてくる書込信号に従って上記画素駆動データ $G D$ を順次書き込んで記憶する。かかる書込動作により、1画面（ $n$ 行、 $m$ 列）分の画素駆動データ $G D_{11} \sim G D_{nn}$ の書き込みが終了すると、メモリ5は、駆動制御回路2から供給されてくる読出信号に応じて、画素駆動データ $G D \sim G D_{nn}$ 各々を同一ビット桁同士にて1行毎に順次読み出してアドレスドライバ6に供給する。すなわち、メモリ5は、各々が12ビットからなる1画面分の画素駆動データ $G D_{11} \sim G D_{nn}$ を、

$D B 1_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第1ビット目  
 $D B 2_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第2ビット目  
 $D B 3_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第3ビット目  
 $D B 4_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第4ビット目  
 $D B 5_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第5ビット目  
 $D B 6_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第6ビット目  
 $D B 7_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第7ビット目  
 $D B 8_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第8ビット目  
 $D B 9_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第9ビット目  
 $D B 10_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第10ビット目  
 $D B 11_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第11ビット目  
 $D B 12_{11 \sim nn}$ ：画素駆動データ $G D_{11 \sim nn}$ の第12ビット目  
 の如く12分割した画素駆動データビット $D B 1_{11 \sim nn}$

～ $D B 12_{11 \sim nn}$ として捉える。そして、これら $D B 1_{11 \sim nn}$ 、 $D B 2_{11 \sim nn}$ 、……、 $D B 12_{11 \sim nn}$ 各々を、駆動制御回路2から供給された読出信号に従って1行毎に順次読み出してアドレスドライバ6に供給するのである。

【0014】駆動制御回路2は、上記水平同期信号 $H$ 及び垂直同期信号 $V$ に同期して、上記A/D変換器4に対するクロック信号、及びメモリ5に対する書込・読出信号を発生する。更に、駆動制御回路2は、図7に示されるが如き発光駆動フォーマットに従って、 $P D P 10$ を駆動させるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0015】尚、図7に示される発光駆動フォーマットは、映像信号における1フィールドを12個のサブフィールド $S F 1 \sim S F 12$ に分割し、各サブフィールド毎に $P D P 10$ に対する駆動を実施するものである。この際、各サブフィールドは、入力映像信号に基づいて $P D P 10$ の各放電セルを"点灯放電セル状態"及び"消灯放電セル状態"のいずれか一方に設定するアドレス行程 $W c$ と、"点灯放電セル状態"にある放電セルのみを各サブフィールドの重み付けに対応した期間（回数）だけ発光させる発光維持行程 $I c$ とからなる。ただし、先頭のサブフィールド $S F 1$ においてのみで、 $P D P 10$ の全放電セルを"点灯放電セル状態"に初期化せしめる一斉リセット行程 $R c$ を実行し、最後尾のサブフィールド $S F 12$ のみで消去行程 $E$ を実行する。

【0016】図8は、図7に示される発光駆動フォーマットに従って、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々が、 $P D P 10$ の行電極及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。先ず、サブフィールド $S F 1$ の一斉リセット行程 $R c$ では、第1サスティンドライバ7が図8に示されるが如き負極性のリセットパルス $R P_1$ を行電極 $X_1 \sim X_n$ に印加する。かかるリセットパルス $R P_1$ の印加と同時に、第2サスティンドライバ8が、図8に示されるが如き正極性のリセットパルス $R P_2$ を行電極 $Y_1 \sim Y_m$ に印加する。これらリセットパルス $R P_1$ 及び $R P_2$ の印加に応じて、 $P D P 10$ の全放電セルがリセット放電し、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは"点灯放電セル状態"に初期化される。

【0017】次に、各サブフィールドのアドレス行程 $W c$ では、アドレスドライバ6が、上記メモリ5から供給された画素駆動データビット $D B$ の論理レベルに対応した電圧を有する画素データパルスを発生する。例えば、アドレスドライバ6は、画素駆動データビット $D B$ の論理レベルが"1"である場合には高電圧の画素データパルスを生成し、"0"である場合には低電圧（0ボルト）の画素データパルスを生成する。この際、アドレスドライバ

6は、1行分の画素データパルスからなる画素データパルス群DPを列電極D<sub>1</sub>～D<sub>m</sub>に印加して行く。例えば、サブフィールドSF1のアドレス行程Wcでは、先ず、上記画素駆動データビットDB1<sub>1,1</sub>～DB1<sub>1,m</sub>の中から第1行目に対応した分、つまりDB1<sub>1,1</sub>～DB1<sub>1,m</sub>を抽出し、これらDB1<sub>1,1</sub>～DB1<sub>1,m</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1<sub>1</sub>を列電極D<sub>1</sub>～D<sub>m</sub>に印加する。次に、かかる画素駆動データビットDB1<sub>2,1</sub>～DB1<sub>2,m</sub>の内の第2行目に対応した分であるDB1<sub>2,1</sub>～DB1<sub>2,m</sub>を抽出し、これらDB1<sub>2,1</sub>～DB1<sub>2,m</sub>各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1<sub>2</sub>を列電極D<sub>1</sub>～D<sub>m</sub>に印加する。以下、同様にして、サブフィールドSF1のアドレス行程Wcでは、1行分毎の画素データパルス群DP1<sub>1</sub>～DP1<sub>m</sub>を順次列電極D<sub>1</sub>～D<sub>m</sub>に印加して行く。

【0018】更に、アドレス行程Wcでは、第2サスティンドライバ8が、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図8に示されるが如き負極性の走査パルスSPを発生し、これを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。すなわち、画素駆動データGDにおける第1ビット～第12ビット各々が、サブフィールドSF1～SF12各々でのアドレス行程Wcにおいて選択消去放電を生起させるか否かを決定しているのである。かかる選択消去放電により、上記一斉リセット行程Rcにおいて“点灯放電セル状態”に初期化された放電セルは、“消灯放電セル状態”に推移する。一方、上記選択消去放電の生起されなかった放電セルは、上記一斉リセット行程Rcにて初期化された状態、つまり“点灯放電セル状態”を維持する。

【0019】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～Y<sub>n</sub>に対して図8に示されるように交互に正極性の維持パルスIP<sub>x</sub>及びIP<sub>y</sub>を印加する。ここで、発光維持行程Icにおいて印加する維持パルスIPの回数は、各サブフィールドSF1～SF12毎に、

SF1: 1  
SF2: 2  
SF3: 4  
SF4: 7  
SF5: 11  
SF6: 14  
SF7: 20  
SF8: 25  
SF9: 33  
SF10: 40

SF11: 48

SF12: 50

である。

【0020】この際、壁電荷が残留したままとなっている放電セル、すなわち上記アドレス行程Wcにおいて“点灯放電セル状態”に設定された放電セルのみが、上記維持パルスIP<sub>x</sub>及びIP<sub>y</sub>が印加される度に維持放電する。よって、“点灯放電セル状態”に設定された放電セルは、上述した如くサブフィールド毎に割り当てられた放電回数分だけ、その維持放電に伴う発光状態を維持する。

【0021】そして、最後尾のサブフィールドSF12のみで消去行程Eを実行する。かかる消去行程Eでは、アドレスドライバ6が、図8に示されるが如き正極性の消去パルスAPを発生してこれを列電極D<sub>1</sub>～D<sub>m</sub>に印加する。更に、第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に図8に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y<sub>1</sub>～Y<sub>n</sub>各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。かかる消去放電により、PDP10における全ての放電セルが“消灯放電セル状態”になるのである。

【0022】よって、図7及び図8に示す駆動によれば、各サブフィールド内のアドレス行程Wcにおいて“点灯放電セル状態”に設定された放電セルのみが、その直後の発光維持行程Icにおいて上述した如き回数だけ発光を繰り返す。ここで、各放電セルが“点灯放電セル状態”、又は“消灯放電セル状態”のいずれに設定されるのかは、図6に示されるが如き画素駆動データGDによって決まる。すなわち、画素駆動データGDの各ビットが論理レベル“1”である場合には、そのビット桁に対応したサブフィールドのアドレス行程Wcにおいて選択消去放電が生起され、放電セルは“消灯放電セル状態”に設定される。一方、そのビットの論理レベルが“0”である場合には、上記選択消去放電は生起されないで、現状を維持する。つまり、このアドレス行程Wcの直前まで“消灯放電セル状態”にあった放電セルは“消灯放電セル状態”を維持し、“点灯放電セル状態”にあった放電セルは“点灯放電セル状態”をそのまま維持するのである。この際、図6に示す画素駆動データGDによれば、サブフィールドSF1～SF12の内で放電セルを“消灯放電セル状態”から“点灯放電セル状態”に推移させることが出来る機会は、先頭のサブフィールドSF1の一斉リセット行程Rcのみである。従って、一斉リセット行程Rcの終了後、サブフィールドSF1～SF12のいずれか1のアドレス行程Wcにおいて一旦“消灯放電セル状態”に推移した放電セルが、この1フィールド内で再び“点灯放電セル状態”に推移することはない。よって、図6に

示される画素駆動データGDによれば、各放電セルは1フィールドの先頭から、図6中の黒丸に示されるサブフィールドにおいて選択消去放電が生じられるまでの間だけ“点灯放電セル状態”になる。そして、その間に存在する白丸にて示されるサブフィールド各々の発光維持行程1cにおいて上述した如き回数だけ発光を行うのである。この際、1フィールド内の各サブフィールドSF1～SF12において実施された発光の総数によって中間調の輝度が表現される。

【0023】つまり、図6に示す如き13種類のデータパターンを有する画素駆動データGDによれば、[0:1:3:7:14:25:39:59:84:117:157:205:255]なる13段階調分の中間輝度を表現できるのである。ところが、上記映像信号に基づいて得られた画素データPDは8ビット、すなわち、256段階の中間調を表現し得るものである。そこで、上記13段階調分の中間輝度を表現する駆動によっても、擬似的に略256段階調分の中間調表示を実現させるべく、上記多階調化処理回路33によって多階調化処理が為されているのである。

【0024】図9は、かかる多階調化処理回路33の内部構成を示す図である。図9に示すように、多階調化処理回路33は、RGBデータ分離回路331、誤差拡散処理回路332、RGBデータ多重化回路333、及びディザ処理回路340から構成される。RGBデータ分離回路331は、上記第1データ変換回路32から順次供給されてくる第1変換画素データPD<sub>n</sub>の系列中から、赤色発光を担うデータ、緑色発光を担うデータ、及び青色発光を担うデータを夫々分離して取り出す。この際、RGBデータ分離回路331は、赤色発光を担うデータを赤色画素データPD<sub>nr</sub>として誤差拡散処理回路332Rに供給する。更に、RGBデータ分離回路331は、緑色発光を担うデータを緑色画素データPD<sub>ng</sub>として誤差拡散処理回路332Gに供給すると共に、青色発光を担うデータを青色画素データPD<sub>nb</sub>として誤差拡散処理回路332Bに供給する。

【0025】誤差拡散処理回路332Rは、先ず、RGBデータ分離回路331から供給されてくる赤色画素データPD<sub>nr</sub>の系列中から、図10に示す如きPDP10の画素G(j,k)、G(j,k-1)、G(j-1,k-1)、G(j-1,k)、及びG(j-1,k+1)各々の赤色放電セルC<sub>r</sub>に対応した赤色画素データを取り出す。次に、これら各画素に対応した赤色画素データの低位2ビット分同士を重み付け加算した際に得られた1ビットの桁上げビットを最下位ビットとし、これを画素G(j,k)の赤色放電セルC<sub>r</sub>に対応した赤色画素データの上位7ビット分に加えて8ビットデータを得る。誤差拡散処理回路332Rは、この8ビットデータを誤差拡散処理画素データED<sub>r</sub>としてディザ処理回路340に供給する。誤差拡散処理回路332Gは、先ず、RGBデータ分離回路331から供給されてくる緑色画素データPD<sub>ng</sub>の系列中から、図10に示す

如きPDP10の画素G(j,k)、G(j,k-1)、G(j-1,k-1)、G(j-1,k)、及びG(j-1,k+1)各々の緑色放電セルC<sub>g</sub>に対応した緑色画素データを取り出す。次に、これら各画素に対応した緑色画素データの低位2ビット分同士を重み付け加算した際に得られた1ビットの桁上げビットを最下位ビットとし、これを画素G(j,k)の緑色放電セルC<sub>g</sub>に対応した緑色画素データの上位7ビット分に加えて8ビットデータを得る。誤差拡散処理回路332Gは、この8ビットデータを誤差拡散処理画素データED<sub>g</sub>としてディザ処理回路340に供給する。誤差拡散処理回路332Bは、先ず、RGBデータ分離回路331から供給されてくる青色画素データPD<sub>nb</sub>の系列中から、図10に示す如きPDP10の画素G(j,k)、G(j,k-1)、G(j-1,k-1)、G(j-1,k)、及びG(j-1,k+1)各々の青色放電セルC<sub>b</sub>に対応した青色画素データを取り出す。次に、これら各画素に対応した青色画素データの低位2ビット分同士を重み付け加算した際に得られた1ビットの桁上げビットを最下位ビットとし、これを画素G(j,k)の青色放電セルC<sub>b</sub>に対応した青色画素データの上位7ビット分に加えて8ビットデータを得る。誤差拡散処理回路332Bは、この8ビットデータを誤差拡散処理画素データED<sub>b</sub>としてディザ処理回路340に供給する。

【0026】すなわち、誤差拡散処理回路332は、画素G(j,k)の周辺の画素G(j,k-1)、G(j-1,k+1)、G(j-1,k)、及びG(j-1,k-1)各々での低位データを重み付け加算したものを、画素G(j,k)に対応した画素データに反映させるのである。かかる動作により、画素G(j,k)における低位2ビットに対応した輝度成分が上記周辺画素によって擬似的に表現されるのである。

【0027】ディザ処理回路340は、ディザマトリクス回路(341R、341G及び341B)、加算器(342R、342G及び342B)、上位ビット抽出回路(343R、341G及び341B)から構成される。ディザマトリクス回路341R及び341Bは、図11(a)に示す如く、PDP10の4行×4列画素群毎にその画素群内の各画素位置に対応させて“0”～“15”を表現し得る4ビットのディザ係数を発生する。すなわち、図11(a)に示す如く、ディザマトリクス回路341R及び341Bは、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々“15”、“7”、“13”、“5”なるディザ係数を発生する。

【0028】又、この第1フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々



"1", "9", "3", "11"

なるディザ係数を発生する。

【0029】又、この第1フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"13", "5", "15", "7"

なるディザ係数を発生する。

【0030】更に、この第1フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3", "11", "1", "9"

なるディザ係数を発生する。

【0031】尚、上記Kは、1~n/4までの自然数であり、上記Lは、1~m/4までの自然数である。次の第2フィールドにおいては、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"10", "2", "8", "0"

なるディザ係数を発生する。

【0032】又、この第2フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"2", "12", "6", "14"

なるディザ係数を発生する。

【0033】又、この第2フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"8", "0", "10", "2"

なるディザ係数を発生する。

【0034】更に、この第2フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6", "14", "4", "12"

なるディザ係数を発生する。

【0035】次の第3フィールドにおいては、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"13", "5", "15", "7"

なるディザ係数を発生する。

【0036】又、この第3フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3", "11", "1", "9"

なるディザ係数を発生する。

【0037】又、この第3フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"15", "7", "13", "5"

なるディザ係数を発生する。

【0038】更に、かかる第3フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"1", "9", "3", "11"

なるディザ係数を発生する。

【0039】次の第4フィールドにおいては、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"8", "0", "10", "2"

30 なるディザ係数を発生する。

【0040】又、この第4フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6", "14", "4", "12"

なるディザ係数を発生する。

【0041】又、この第4フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"10", "2", "8", "0"

なるディザ係数を発生する。

【0042】更に、かかる第4フィールドにおいて、ディザマトリクス回路341R及び341Bは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

50 "4", "12", "6", "14"



なるディザ係数を発生する。

【0043】ディザマトリクス回路341R及び341Bは、上述した如き第1フィールド～第4フィールドで一連のディザ係数発生動作を図11(a)に示されるように繰り返し実行する。ディザマトリクス回路341Rは、上述した如く発生したディザ係数の各々を、4行×4列画素群における各画素内の赤色放電セルに対応して供給される誤差拡散処理画素データE<sub>D</sub>に合わせたタイミングで加算器342Rに供給する。加算器342Rは、上記誤差拡散処理画素データE<sub>D</sub>と、ディザマトリクス回路341Rが発生した図11(a)に示す如きディザ係数とを加算して得たディザ加算赤色画素データD<sub>D</sub>を上位ビット抽出回路343Rに供給する。上位ビット抽出回路343Rは、上記ディザ加算赤色画素データD<sub>D</sub>中から上位4ビット分を抽出し、これを多階調化赤色画素データPD<sub>s</sub>としてRGBデータ多重化回路333に供給する。

【0044】又、ディザマトリクス回路341Bは、上述した如く発生したディザ係数の各々を、4行×4列画素群における各画素内の赤色放電セルに対応して供給される誤差拡散処理画素データE<sub>D</sub>に合わせたタイミングで加算器342Bに供給する。加算器342Bは、上記誤差拡散処理画素データE<sub>D</sub>と、ディザマトリクス回路341Bが発生した図11(a)に示す如きディザ係数とを加算して得たディザ加算青色画素データD<sub>D</sub>を上位ビット抽出回路343Bに供給する。上位ビット抽出回路343Bは、上記ディザ加算青色画素データD<sub>D</sub>中から上位4ビット分を抽出し、これを多階調化青色画素データPD<sub>s</sub>としてRGBデータ多重化回路333に供給する。

【0045】一方、ディザマトリクス回路341Gは、上記ディザマトリクス回路341R及び341Bとは異なる図11(b)に示す如きディザ係数を発生する。すなわち、図11(b)に示す如く、ディザマトリクス回路341Gは、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"2"、"8"、"0"、"10"

なるディザ係数を発生する。

【0046】又、この第1フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"12"、"6"、"14"、"4"

なるディザ係数を発生する。

【0047】又、この第1フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L

-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"0"、"10"、"2"、"8"

なるディザ係数を発生する。

【0048】更に、この第1フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

10 "14"、"4"、"12"、"6"

なるディザ係数を発生する。

【0049】次の第2フィールドにおいては、ディザマトリクス回路341Gは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"15"、"7"、"13"

なるディザ係数を発生する。

【0050】又、この第2フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"11"、"1"、"9"、"3"

なるディザ係数を発生する。

【0051】又、この第2フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

30 "7"、"13"、"5"、"15"

なるディザ係数を発生する。

【0052】更に、この第2フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"9"、"3"、"11"、"1"

なるディザ係数を発生する。

【0053】次の第3フィールドにおいては、ディザマトリクス回路341Gは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"0"、"10"、"2"、"8"

なるディザ係数を発生する。

【0054】又、この第3フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させ

50

て、夫々

"14"、"4"、"12"、"6"

なるディザ係数を発生する。

【0055】又、この第3フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"2"、"8"、"0"、"0"

なるディザ係数を発生する。

【0056】更に、かかる第3フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"12"、"6"、"14"、"4"

なるディザ係数を発生する。

【0057】次の第4フィールドにおいては、ディザマトリクス回路341Gは、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"7"、"13"、"5"、"15"

なるディザ係数を発生する。

【0058】又、この第4フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"9"、"3"、"11"、"1"

なるディザ係数を発生する。

【0059】又、この第4フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"15"、"7"、"13"

なるディザ係数を発生する。

【0060】更に、かかる第4フィールドにおいて、ディザマトリクス回路341Gは、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"11"、"1"、"9"、"3"

なるディザ係数を発生する。

【0061】ディザマトリクス回路341Gは、上述した如き第1フィールド〜第4フィールドで一連のディザ係数発生動作を図11(b)に示されるように繰り返し実行する。そして、ディザマトリクス回路341Gは、上述した如く発生したディザ係数の各々を、4行×4列

画素群における各画素内の緑色放電セルに対応して供給される誤差拡散処理画素データED<sub>c</sub>に合わせたタイミングで加算器342Gに供給する。加算器342Gは、上記誤差拡散処理画素データED<sub>c</sub>と、ディザマトリクス回路341Gが発生した図11(b)に示す如きディザ係数とを加算して得たディザ加算緑色画素データDD<sub>c</sub>を上位ビット抽出回路343Gに供給する。上位ビット抽出回路343Gは、このディザ加算緑色画素データDD<sub>c</sub>の中から上位4ビット分を抽出し、これを多階調化緑色画素データPD<sub>sc</sub>としてRGBデータ多重化回路333に供給する。

【0062】RGBデータ多重化回路333は、上記多階調化赤色画素データPD<sub>sa</sub>、多階調化緑色画素データPD<sub>sc</sub>、多階調化青色画素データPD<sub>sb</sub>各々を、かかる順番で時分割多重化して得たデータ系列を上記多階調化処理画素データPD<sub>s</sub>として、図2に示す如き第2データ変換回路34に供給する。このように、ディザ処理回路340は、赤色発光を担う誤差拡散処理画素データED<sub>a</sub>及び青色発光を担う誤差拡散処理画素データED<sub>b</sub>に対するディザ処理では、図11(a)に示す如き"0"〜"15"を示す4ビットのディザ係数を誤差拡散処理画素データED<sub>a</sub>及びED<sub>b</sub>各々の下位4ビットに加算する。この際、4ビットのディザ係数を上記誤差拡散処理画素データED<sub>a</sub>(又はED<sub>b</sub>)の下位4ビットに加算した際に生じる桁上げは図12に示されるが如き形態となる。尚、図12においては、4行×4列画素群内の各画素に対応した16個の誤差拡散処理画素データED各々の下位4ビットが16個共に全て"0"の場合、"1"の場合、"2"の場合、"3"の場合、"4"の場合、"5"の場合、"6"の場合、及び"7"の場合の8通りのみを抜粋して示している。そして、この桁上げの影響が、上記ディザ加算赤色画素データDD<sub>a</sub>及びディザ加算青色画素データDD<sub>b</sub>各々の上位4ビットに反映されるのである。従って、4行×4列画素群を1つの表示単位として捉えた場合、4ビットの多階調化赤色画素データPD<sub>sa</sub>及び多階調化青色画素データPD<sub>sb</sub>に基づいて、7ビット相当の中間輝度を表すことが可能となる。この際、4行×4列画素群内において加算されるディザ係数のパターンは第1フィールド〜第4フィールド各々で異なるので、その桁上げパターンも図12に示す如く第1フィールド〜第4フィールドに亘って推移してゆく。よって、かかる第1フィールド〜第4フィールド間での桁上げパターンの推移が繰り返し実行されることにより、PDP10の画面上には図12に示す如きディザパターンが視覚的に表れることになる。

【0063】一方、緑色発光を担う誤差拡散処理画素データED<sub>c</sub>に対するディザ処理では、図11(b)に示す如く、図11(a)とは異なるマトリクスパターンを有する"0"〜"15"なる4ビットのディザ係数を発生して、誤差拡散処理画素データED<sub>c</sub>の下位4ビットに加算す

る。この際、4ビットのディザ係数を上記誤差拡散処理画素データED<sub>c</sub>の下位4ビットに加算した際に生じる桁上げは図13に示されるが如き形態となり、この桁上げの影響が、上記ディザ加算赤色画素データDD<sub>c</sub>の上位4ビットに反映される。従って、4行×4列画素群を1つの表示単位として捉えた場合、4ビットの多階調化赤色画素データPD<sub>c</sub>に基づいて、7ビット相当の中間輝度を表すことが可能となる。この際、4行×4列画素群内において加算されるディザ係数のパターンは第1フィールド〜第4フィールド各々で異なるので、その桁上げパターンも図13に示す如く第1フィールド〜第4フィールドに亘って推移してゆく。よって、かかる第1フィールド〜第4フィールド間での桁上げパターンの推移が繰り返し実行されることにより、PDP10の画面上には図13に示す如きディザパターンが視覚的に表れることになる。この際、視覚的に画面上に表れるディザパターンは、図12に示されるものとは異なる。すなわち、図10に示す如く各画素内に形成されている緑色放電セルC<sub>g</sub>の発光によって視覚されるディザパターン(図13)と、赤色放電セルC<sub>r</sub>及び青色放電セルC<sub>b</sub>の発光によって視覚されるディザパターン(図12)とが異なるのである。よって、図12及び図13に示す如き互いに異なるディザパターンが1画面内において混在することになるので、特定のディザパターンが視覚されることは無い。

【0064】

【発明の効果】以上詳述した如く、本発明によるディスプレイ装置においては、少なくとも1の表示色を担う表示セルを駆動すべき画素データに加算するディザ係数を、他の表示色を担う表示セルを駆動すべき画素データに加算するディザ係数とは異なる値にしている。

【0065】よって、1画面内において特定のディザパターンが視覚的に認識されることがなくなるので、ディザパターンの発生を抑制した良好な画像表示が為されるようになる。

【図面の簡単な説明】

\*【図1】本発明によるディスプレイ装置としてのプラズマディスプレイ装置の概略構成を示す図である。

【図2】図1に示されるプラズマディスプレイ装置におけるデータ変換回路30の内部構成を示す図である。

【図3】図2に示されるABL回路31の内部構成を示す図である。

【図4】図3に示されるデータ変換回路312における変換特性を示す図である。

【図5】図2に示される第1データ変換回路32におけるデータ変換特性を示す図である。

【図6】図2に示される第2データ変換回路34の変換テーブル、及び発光駆動パターンを示す図である。

【図7】図1に示されるプラズマディスプレイ装置の発光駆動フォーマットを示す図である。

【図8】1フィールド内においてPDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図9】多階調化処理回路33の内部構成を示す図である。

【図10】PDP10における各画素の配列と、各画素内に含まれる赤色放電セルC<sub>r</sub>、緑色放電セルC<sub>g</sub>、青色放電セルC<sub>b</sub>を示す図である。

【図11】ディザマトリクス回路341が発生するディザ係数の一例を示す図である。

【図12】図11(a)に示されるが如きディザ係数の加算によって生じる下位4ビットから上位4ビットへの桁上げパターンと、かかる桁上げパターンによって視覚されるディザパターンを示す図である。

【図13】図11(b)に示されるが如きディザ係数の加算によって生じる下位4ビットから上位4ビットへの桁上げパターンと、かかる桁上げパターンによって視覚されるディザパターンを示す図である。

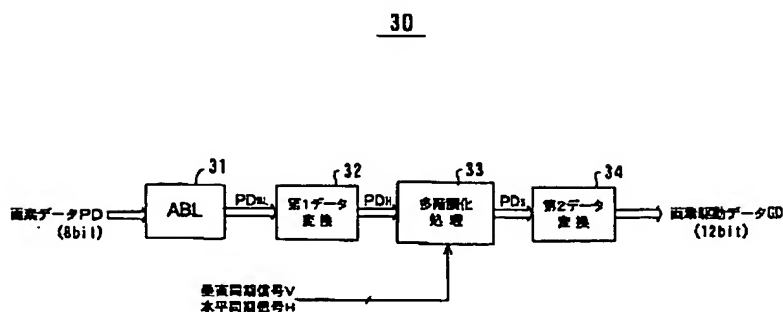
【主要部分の符号の説明】

340 ディザ処理回路

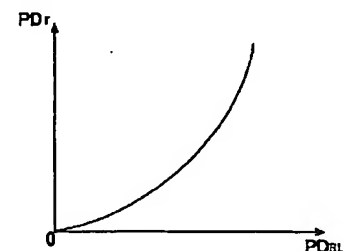
341R、341G、341B ディザマトリクス回路

342R、342G、342B 加算器

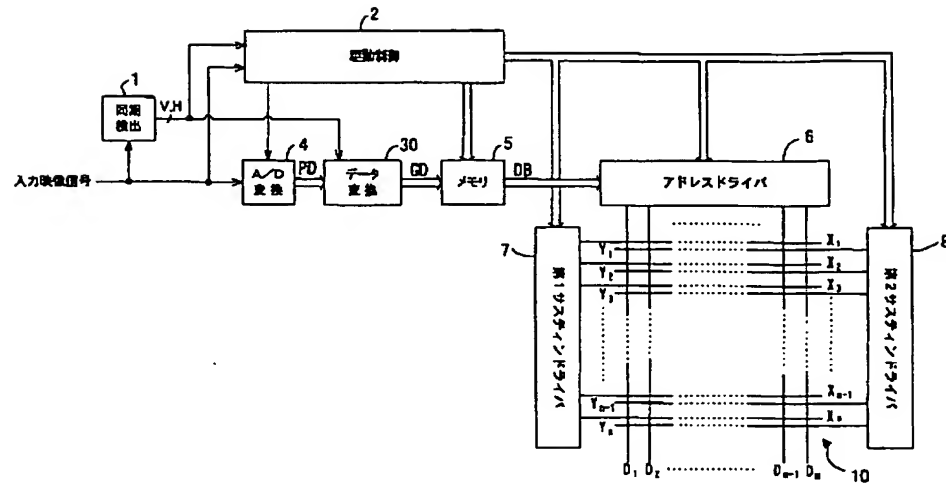
【図2】



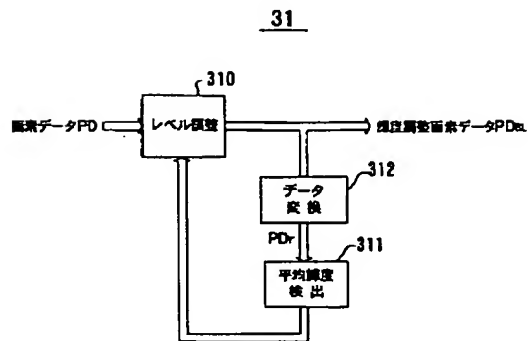
【図4】



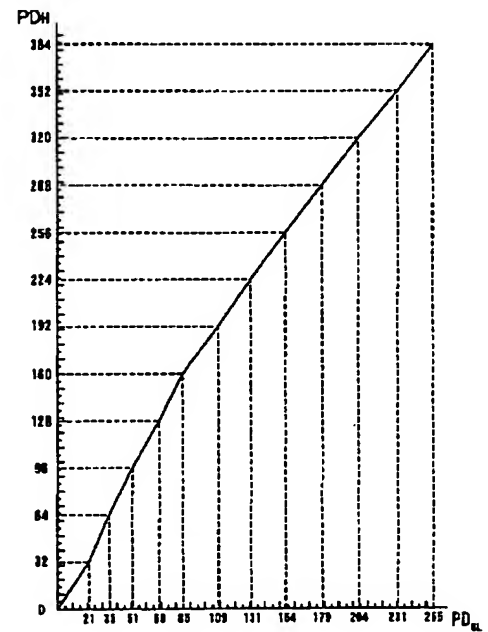
【図1】



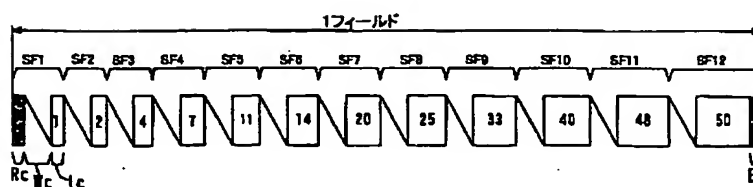
【図3】



【図5】



【図7】



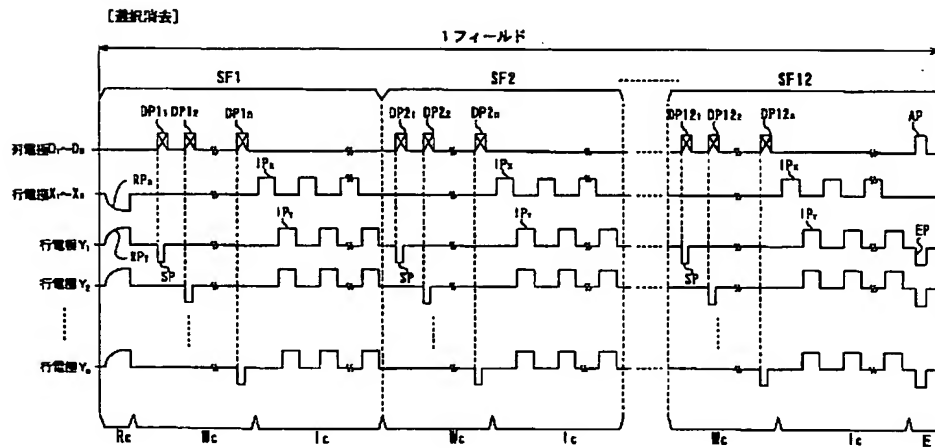
〔図6〕

〔選択消去〕

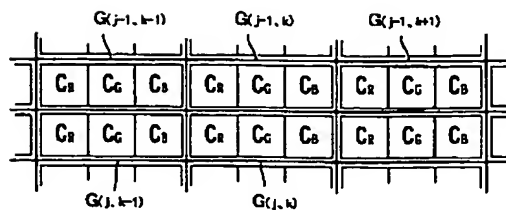
階層	第2データ変換回路34の変換テーブル													発光駆動パターン												表示階度	
	PDs	GD																									
		1	2	3	4	5	6	7	8	9	10	11	12	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●												0	
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	●											1	
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	●										3	
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	●									7	
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	●								14	
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	●							25	
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	●						39	
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	●				59	
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	84	
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	117	
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	157	
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	205	
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	255	

黒丸:選択消去放電  
白丸:発光SF

〔図8〕

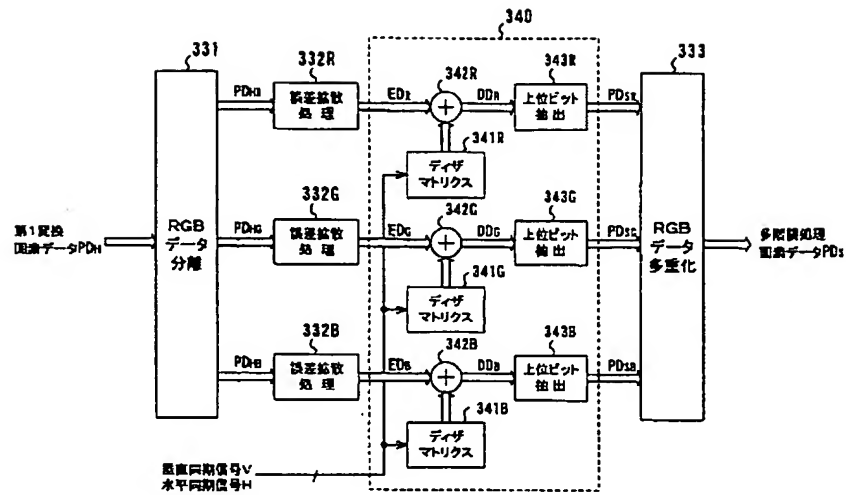


〔図10〕

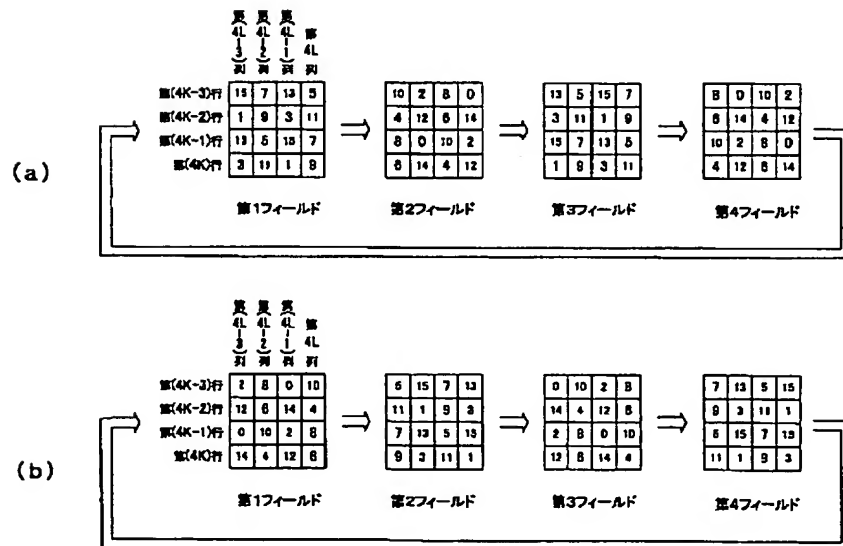


【図9】

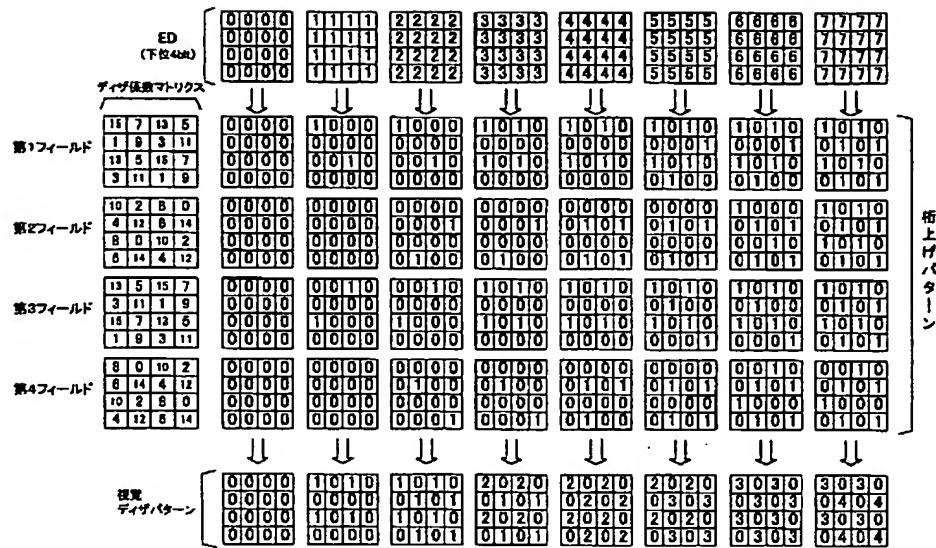
33



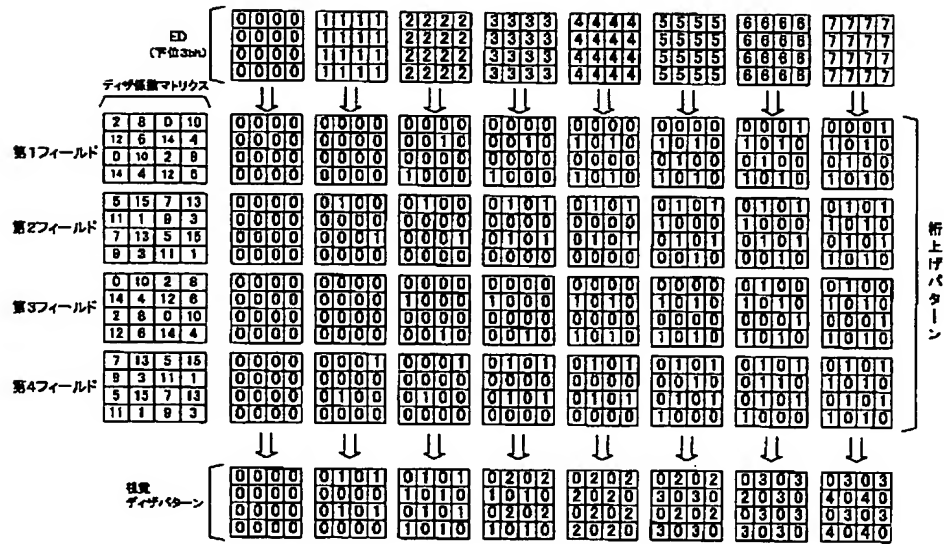
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.

H04N 5/66

識別記号

101

F I

G09G 3/28

テーマコード(参考)

K

Fターム(参考) 5C058 AA11 BA02 BA05 BA35 BB04

B811

5C080 AA05 BB05 DD05 DD30 EE29

FF12 HH05 JJ02 JJ04 JJ05